

Dienstag, 30. Oktober 2007

## **Entstehungsgeschichte von HPSDR Mercury und Quicksilver**

Philip Covington, N8VB

Übersetzung durch H. Gruchow, DL6KBF

### **Erste HPSDR und XYLO Entwicklung**

Im Jahr 2005 begann ich ein High Performance SDR (HPSDR) Projekt, das aus einer Trägerplatine mit FPGA/USB 2.0 Interface und Stromversorgung bestand und das Steckmodule über 40-polige Pfosten-Verbinder aufnehmen konnte. Ich hatte ein Schmalband-Modul mit hoher Dynamik geplant, bestehend aus einem QSD (Quadrature Sampling Detector), einem DDS (Direct Digital Synthesis Baustein) und einem PCM4202 Audio ADC (Analog/Digital Converter) sowie ein Breitband-Modul auf Basis eines High Speed 16-bit ADC:

[http://www.philcovington.com/SDR/PICS/HPSDR\\_FPGA\\_USB\\_Board\\_top1\\_800600.jpg](http://www.philcovington.com/SDR/PICS/HPSDR_FPGA_USB_Board_top1_800600.jpg)

[http://www.philcovington.com/SDR/PICS/HPSDR\\_FPGA\\_USB\\_Board\\_top4.jpg](http://www.philcovington.com/SDR/PICS/HPSDR_FPGA_USB_Board_top4.jpg)

Schon sehr bald kam ich auf die Idee, den LTC2208 ADC von Linear Technology zu verwenden. Ein Vertreter von Linear Technology sah meinen BLOG

<http://pcovington.blogspot.com>

und bot mir Entwicklerplatinen und Muster an zur Unterstützung des Projektes.

Ungefähr zur gleichen Zeit, als ich mein HPSDR Projekt plante, waren Phil Harman, VK6APH, und Bill Tracey, KD5TFD, daran interessiert, einen Soundkarten-Ersatz für den SDR-1000 zu entwickeln. Sie begannen ihre Entwicklung mit Hilfe einer FPGA-Entwicklerplatine (XYLO), die ein High-Speed USB 2.0 Interface besaß. Sie gründeten das XYLO SDR Forum zur Unterstützung. Im März 2006 schlug Phil Harman vor, das wir mein HPSDR Projekt und die XYLO SDR Gruppe zu einem gemeinsamen Projekt zusammenführen, da unsere Entwicklungsziele ähnlich waren. Mitte März wurde dieser Zusammenschluß publik gemacht und die HPSDR.org Webseite wurde eingerichtet.

### **HPSDR ATLAS und OZY**

Eine der ersten Aufgaben bestand darin, eine Trägerplatine zu entwerfen, wobei verschiedene Konzepte wie z.B. Passiv-PCI vorgeschlagen wurden. Ich übernahm diese Aufgabe, woraus dann die ATLAS Trägerplatine entstand:

[http://www.philcovington.com/HPSDR/ATLAS/REVA/atlas\\_1\\_REVA\\_BW.pdf](http://www.philcovington.com/HPSDR/ATLAS/REVA/atlas_1_REVA_BW.pdf)

[http://www.philcovington.com/HPSDR/ATLAS/ALPHA/Atlas\\_assy.pdf](http://www.philcovington.com/HPSDR/ATLAS/ALPHA/Atlas_assy.pdf)

Zu Anfang hatte sich jemand für die Entwicklung einer ATLAS Steckkarte mit FPGA/USB zur Verfügung gestellt, die die XYLO Platine ersetzen sollte. Leider kam er mit dieser Aufgabe nicht zurecht. Ich habe dann zugestimmt, diese Platine zu entwickeln, woraus die HPSDR OZY Platine entstand. Diese sah die Möglichkeit zur Steuerung eines SDR-1000 über die OZY IO Ports vor, die einen PC-Parallel-Port simulierten:

<http://www.philcovington.com/SDR/OZYREVA.jpg>

## Erste HPSDR Mercury Entwicklung

Bald nach Fertigstellung des OZY Designs begann ich, MERCURY weiterzuführen. Zu Beginn habe ich das Entwicklerboard von Linear Technology für den LTC2208 verwendet. Als ich jedoch ab Mai 2006 arbeitsmäßig sehr belastet war, fragte ich Phil Harman, ob ich ihm eines meiner LTC2208 Entwicklerboards schicken könne, um damit herumzuspielen. Darüber hinaus schickte ich Phil auch einen Crystek Quarzoszillator mit geringem Phasenrauschen, den ich als Kandidaten für den ADC-Codiertakt ausgesucht hatte. Der Link weiter unten zeigt den MERCURY Versuchsaufbau, angeschlossen an OZY. Die LTC2208 Entwicklerplatine steckt, wie man sieht, vertikal in der Lochrasterplatine und das RG174/U Kabel führt nach oben:

[http://hpsdr.org/wiki/index.php?title=Image:OZY\\_MERC\\_TEST.JPG](http://hpsdr.org/wiki/index.php?title=Image:OZY_MERC_TEST.JPG)

## Quick Silver Version 1

Gegen Ende 2006 entschloss ich mich, eine Platine zu machen, die ich Quick Silver (in Anlehnung an Mercury = Quecksilber; Anm. d. Übers.) nannte und die der grundlegende Prototyp für HPSDR MERCURY werden sollte:

[http://www.philcovington.com/SDR/PICS/QS1R\\_proto.JPG](http://www.philcovington.com/SDR/PICS/QS1R_proto.JPG)

[http://www.philcovington.com/SDR/QS1RA\\_12012006.pdf](http://www.philcovington.com/SDR/QS1RA_12012006.pdf)

Der ursprüngliche Gedanke für HPSDR MERCURY war, entweder einen Analog Devices AD6636 oder AD6620 Digitalempfangs-Signalprozessor Chip zu verwenden. Der AD6636 war nur im BGA (Ball Grid Array) Gehäuse verfügbar, so dass ich mich für zwei AD6620 DDCs (Digital Down Converter) im Quick Silver (auch QS1R REV AB genannt) entschied. Ich wollte herausfinden, ob der AD6620/6636 für einen HF-Empfänger brauchbar sein würde in Verbindung mit dem LTC2208 und ich wollte auch zwei Crystek Oszillator-Codierschaltungen mit geringem Phasenrauschen testen, die für die ADC LTC2208 Güte kritisch sein würden.

Es wurde schnell klar, dass die AD6620/6636 Bausteine wegen des Dynamikbereichs im HPSDR MERCURY nicht brauchbar sein würden. Ungefähr 90% der DDC Funktionalität wurde dann vom AD6620 in ein Cyclone II FPGA auf dem QS1R REV AB Prototypen verlegt. Es gab leider nicht genug Platz in dem FPGA, um ein brauchbares FIR-Abschluß-Kompensationsfilter zur Korrektur der unregelmäßigen Durchlasskurve des CIC-Filters einzufügen, das in der DDC-Implementierung auf dem FPGA verwendet wird. Ich habe dann untersucht, ob zwei externe FIR Filter Chips, gefertigt von einer Firma mit Namen "QuickFilter", geeignet sein würden:

<http://www.quickfiltertech.com/files/QF1D512%20SavFIRe%20Datasheet.pdf>

Zwei dieser Chips wurden bald darauf anstelle der AD6620 Baustein testweise auf die Platine gepropft. Diese Chips arbeiteten hervorragend, aber ich war besorgt wegen ihrer Verfügbarkeit. Ich traf dann die Entscheidung, in den „sauren Apfel zu beißen“ und schrieb ein Ein-Tap-pro Takt FIR Filter in Verilog, um nun die gesamte DDC Funktionalität in das FPGA zu überführen. Es gab keine Schwierigkeiten, zwei 256-Tap-FIR Filter in dem verbleibenden Platz im Cyclone II FPGA unterzubringen, wodurch sich die Verwendung der externen „QuickFilter“ FIR chips vermeiden ließ. Während dieser Zeit kündigte auch Altera die Verfügbarkeit des Cyclone III FPGA in einem QFP240-Gehäuse an, das genug Logikelemente und Hardware-Multiplizierer enthielt, um für SDR Anwendungen interessant zu sein -- das veranlasste mich eben auch dazu, das Ein-Tap-pro-Takt FIR Filter in Verilog zu programmieren, da Platzprobleme mit dieser FPGA beseitigt sein würden. Die QS1R REV AB Prototyp-Platine gestattete es mir auch, einen Hittite HMC472 0-31.5 dB Abschwächer, einen Sirenza SBF-4089/5089 HF-Verstärker, Phil Harman's 1,6 Mhz Bandpassfilter-

Baugruppe sowie eine 30/60 Mhz Tiefpassfilter-Gruppe zu testen, die für die Verwendung in HPSDR MERCURY geplant ist.

Die Quick Silver Platine war die Testplattform für die Ideen, die in HPSDR MERCURY umgesetzt werden. Ohne die Erfahrungen, die mit dem QS1R REV AB Prototypen gewonnen wurden, wären wir wahrscheinlich nicht ohne eine Vielzahl von Alpha-Platinen ausgekommen, da diese Probleme erst später aufgetaucht wären.

## **Quick Silver QS1RT VERB**

Während der Entwicklung und der Testphase des QS1R REV AB Prototypen wurde das Altera Cyclone III FPGA verfügbar, das genügend Logikelemente enthielt, um damit eine interessante SDR Entwicklungsarbeit zu machen. Ich hatte mir vorgenommen, PC-Verbindungen über PCI oder PCIe zu untersuchen, die eine viel größere Übertragungsbandbreite erlauben würden als das USB 2.0 Interface. Daraus entstand dann QS1RT VERB. VERB enthält sowohl den ADC LTC2208 als auch einen TxDAC mit Glasfaser-optischer oder Kupferverbindung zu einer PCI/PCIe Karte im PC. Das Hochgeschwindigkeits-Interface zwischen dem QS1RT und der PCI/PCIe Karte im PC wurde mittels eines TI TLK2711 Serializer/Deserializer Chips realisiert, der eine Transfer-Geschwindigkeit von 2,5 GbPS (Gigabit pro Sekunde) hat:

[http://www.philcovington.com/SDR/PICS/QS1RT\\_VERB\\_MED.JPG](http://www.philcovington.com/SDR/PICS/QS1RT_VERB_MED.JPG)

Seit Oktober 2007 teste ich nun die PCI Seite des Interface. Diese Karte verwendet einige sehr teure Komponenten und ist eigentlich nur als Machbarkeitsstudie und Experimentier-Plattform für ein Hochgeschwindigkeits-Interface gedacht. Ich möchte gerne die maximal mögliche Transfer-Bandbreite zwischen VERB und PC herausfinden sowie die Möglichkeit, das FPGA über die Glasfaser-optische Verbindung zu konfigurieren.

## **Quick Silver QS1R REVB**

Als Zusammenfassung all dessen, was ich durch die QS1R REV AB und QS1RT VERB Prototypen gelernt hatte, entschloss ich mich im Oktober 2007, eine dritte (und hoffentlich letzte) Variante der Quick Silver Karte zu entwerfen. In den vorhergehenden Karten war nur der HF-Bereich von Hand geroutet worden und die digitalen Abschnitte mittels Autorouter. In QS1R REVB wurde nun die gesamte Leiterbahnführung von Hand gemacht, um die Leiterbahnlängen zu optimieren und Durchkontaktierungen im digitalen Bereich weitgehend zu vermeiden. Der Leiterplattenentwurf wurde vereinfacht mit Blick auf Anwendungen wie HF-Empfänger, Vektor-Netzwerk-Analysator, Spektrumanalysator und Digitaloszilloskop:

[http://www.philcovington.com/SDR/qs1r\\_10112007.pdf](http://www.philcovington.com/SDR/qs1r_10112007.pdf)

[http://www.philcovington.com/SDR/qs1r\\_revb\\_sch.pdf](http://www.philcovington.com/SDR/qs1r_revb_sch.pdf)

Auf der Karte ist ein 192 kSPS Stereo DAC für den Audio-Ausgang enthalten. Das Board ist ebenfalls vorbereitet für den Anschluss von Erweiterungskarten wie Bandpassfilter/HF-Vorverstärker/Abschwächer und enthält ein 55 Mhz Tiefpassfilter, einen Direkteingang zum ADC unter Umgehung des Tiefpassfilters, einen I2C Steuerbus, usw. ... Details sind dem Schaltplan weiter oben zu entnehmen.

Seit 30. Oktober 2007 ist QS1R REV B nun komplett bestückt und in der Testphase.